



Пухальский Г.И., Новосельцева Т.Я.
Проектирование цифровых устройств + CD:
Учебное пособие. 1-е изд.

Рекомендовано УМО вузов РФ по образованию в области радиотехники, электроники, биомедицинской техники и автоматизации в качестве учебного пособия для студентов высших учебных заведений, обучающихся по направлению подготовки 210400 — «Радиотехника»

ISBN 978-5-8114-1265-5

Год выпуска 2012

Тираж 1000 экз.

Формат 16,5 × 23,5 см

Переплет: твердый

Страниц 896

Цена 2 501,60 руб.

Изложены основы теории переключательных функций и цифровых автоматов, позволяющие простейшими методами решать задачи проектирования цифровых устройств. Даны оригинальные математические методы анализа и синтеза автоматов, основанные на операторах переходов и решениях систем логических уравнений.

Практически для всех синтезированных схем изготовлены файлы (свыше 800), позволяющие читателям самостоятельно выполнить их моделирование с помощью модифицированного программного пакета Micro-Logic II. Приведенные сведения по программному пакету MAX+plus II BaseLine достаточны для выполнения проектов на семействе БИС Altera (на CD-ROM имеется около 500 файлов, содержащих примеры спроектированных цифровых устройств).

Учебное пособие предназначено для студентов вузов радиотехнических направлений подготовки, обеспечивает все виды занятий по цифровой технике по курсу «Цифровые и микропроцессорные устройства» и может быть использовано для проектирования интерфейсных устройств микропроцессорных систем.

Рецензенты:

И. Л. Ерош — доктор технических наук, профессор кафедры вычислительных систем и сетей СПбГУАП; Д. В. Чеботарев — доктор технических наук, доцент, зав. кафедрой радиосистем Новгородского государственного университета им. Я. Мудрого; Л. А. Рассветов — доктор технических наук, профессор кафедры радиосистем Новгородского государственного университета им. Я. Мудрого.

Предисловие

Учебное пособие содержит 6 глав, в которых изложены основы теории переключательных функций и цифровых автоматов, достаточные для синтеза цифровых устройств. Приложение 4 (файл Приложение 4.pdf на CD-ROM) содержит руководство по использованию модифицированного демонстрационного программного пакета Micro-Logic, позволяющего читателям самостоятельно выполнять моделирование синтезированных в книге схем цифровых узлов. Программный пакет Micro-Logic (имеется на CD-ROM) в сотни раз уменьшает труд по изготовлению рисунков принципиальных схем цифровых устройств и построению с беспрецедентной точностью временных диаграмм, поясняющих их работу. В приложении 3 даны основные сведения по программному пакету MAX+plus II, позволяющие выполнять проекты с реализацией их на семействе БИС Altera. Учебное пособие содержит все необходимые теоретические сведения и практические данные для обучения технике логического проектирования даже неподготовленного читателя без привлечения дополнительной литературы.

В гл. 1 рассмотрены элементарные основы алгебры логики и теории переключательных функций, позволяющие простейшими формальными методами решать разнообразные задачи проектирования цифровых устройств. Для описания законов функционирования, анализа и синтеза цифровых устройств широко применяется оригинальный математический аппарат, основанный на использовании операторов переходов и решении систем логических уравнений. Только на основе этого аппарата возможно точное аналитическое описание функционирования устройств с импульсным и потенциальным воздействием входных сигналов. Например, даже функции переходов синхронных триггеров с дополнительными асинхронными потенциальными входами невозможно записать без использования операторов переходов. Для иллюстрации теоретического материала дано аналитическое описание типовых комбинационных схем

(КС), таких как дешифраторы, демультимплексоры, мультимплексоры, шифраторы и др., выпускаемых в виде интегральных схем (ИС).

Для эффективного использования учебного пособия следует преодолеть весьма распространенное заблуждение о трудности применения аналитических методов и хорошо усвоить все новые для читателя понятия. Кроме того, необходимо научиться быстро и безошибочно производить преобразования логических выражений. Для этого рекомендуется самостоятельно повторить решение всех приведенных примеров и задач. Приложив относительно небольшие усилия, можно достаточно быстро приобрести практические навыки применения теорем и тождеств алгебры логики для решения конкретных задач. При этом обычно происходит резкий качественный скачок из состояния неуверенности в своих силах к полной удовлетворенности результатами проделанной работы.

В гл. 2 приведены примеры описания известных и синтеза новых комбинационных схем, принадлежащих к классу арифметических устройств, таких, как цифровые компараторы, схемы сравнения чисел, десятичные сумматоры, арифметическо-логические устройства, умножители чисел, преобразователи кодов, линейные КС и линейные автоматы над полем $GF(q)$, устройства обнаружения и исправления ошибок в оперативных запоминающих устройствах и каналах связи. Рассмотрены также принципы построения конвейерных цифровых устройств, проиллюстрированные схемами конвейерных быстрых умножителей двоичных чисел и конвейерных преобразователей кодов.

Гл. 3 посвящена описанию математического аппарата и методики анализа переходных процессов в логических схемах как без обратных, так и с обратными связями. Для овладения методами проектирования цифровых устройств первостепенное значение имеет изучение физических процессов, протекающих в них при изменении входных сигналов. Для достижения этой цели описан оригинальный метод исследования переходных процессов в логических схемах, основанный на динамических моделях логических элементов и схем, адекватных реальным физическим элементам и устройствам. Данный метод основан на построении таблиц и графов переходов на самом низком уровне — с учетом задержек сигналов в каждом логическом элементе (ЛЭ). Здесь же рассмотрены состязания ЛЭ и синтез КС, свободных от состязаний.

Вопросы синтеза асинхронных потенциальных автоматов рассмотрены в гл. 4. На основе проведенного анализа состязаний элементов памяти сформулированы условия синтеза правильно функционирующих автоматов. Приводятся исчерпывающие сведения по классификации и синтезу асинхронных потенциальных, асинхронных импульсных и синхронных триггеров и счетчиков. Для практического освоения методики синтеза асинхронных потенциальных автоматов приведено большое число примеров синтеза асинхронных потенциальных триггеров и счетчиков, асинхронных импульсных и синхронных триггеров, задаваемых первоначальной таблицей переходов.

Теория и практика синхронных автоматов изложены в гл. 5. Этот материал имеет особое значение, так как синхронные автоматы наиболее часто используются при проектировании цифровых устройств и серийно выпускаемых ИС. Широкое распространение синхронных автоматов обусловлено не только простотой их синтеза, но и легкостью их использования при проектировании эвристическим способом сложных цифровых устройств. Для иллюстрации теории и методики синтеза синхронных автоматов приведено громадное число примеров синтеза таких автоматов, как сдвигающие регистры, двоичные и двоично-десятичные суммирующие, вычитающие и реверсивные счетчики, кольцевые и линейные счетчики, цифровые автоколебательные и ждущие мультивибраторы, счетчики с переключаемыми модулями пересчета, цифровые фазовращатели, синтезаторы частот на основе фазовой автоподстройки частоты, устройства умножения и деления двоичных чисел, синхронные автоматы, выполняющие извлечение квадратного корня из двоичных дробей и др.

В гл. 6 рассмотрены свойства асинхронных импульсных автоматов и приведены примеры их практической реализации. Здесь показано преимущество асинхронных импульсных автоматов по отношению к синхронным автоматам в смысле сложности требуемой КС.

Материал учебного пособия изложен с расчетом использования его для аналитического описания функционирования как синхронных, так и асинхронных автоматов. Теоретический материал иллюстрируется большим числом примеров синтеза как стандартных цифровых устройств, так и узлов специального назначения. Практически для всех описанных или синтезированных цифровых схем изготовлены файлы (более 800) для их моделирования с помощью программного пакета Micro-Logic II. Для выполнения проекта для БИС Altera достаточно ввести в текстовом редакторе полученные при синтезе функции возбуждения и функции выхода автомата или в графическом редакторе ввести синтезированную схему.

Раздел 1 приложения 3 написан Гайворонским Д. В., раздел 2 — Новосельцевой Т. Я., раздел 3 (файл Приложение 3.3.pdf, содержащий около 500 примеров проектирования цифровых узлов на семействе БИС Altera) — Пухальским Г. И. Остальной материал написан Пухальским Г. И. совместно с Новосельцевой Т. Я. Прилагаемый к учебному пособию CD-ROM, содержащий справочные материалы по интегральным схемам зарубежных фирм и более 1300 авторских файлов (Micro-Logic II, MAX+plus II), подготовлен Гайворонским Д. В.

Учебное пособие может быть полезно не только студентам и преподавателям вузов, но и инженерам, занимающимся проектированием внешних устройств микропроцессорных систем.

Оглавление

[Предисловие 3](#)

[Глава 1. Основы теории переключаемых функций](#)

- 1.1. Аксиомы, теоремы и тождества алгебры логики 5
 - Аксиомы алгебры логики 5
 - Теоремы и тождества алгебры логики 6
 - Операция сумма по модулю два 8
- 1.2. Позиционные системы счисления 10

Системы счисления с основаниями $q = 2k$	10
Преобразование десятичных дробей в двоичные	11
Двоично-десятичные коды	12
Унитарная система счисления	12
Унитарный код	12
1.3. Переключательные функции	13
Основные свойства переключательных функций	13
Таблицы истинности	14
Неполностью определенные функции	16
Полностью неопределенная функция	16
1.4. Принцип и закон двойственности	17
Принцип двойственности	17
Закон двойственности	17
Специальные функции	18
1.5. Теоремы разложения	19
Разложение Шеннона	19
Тождества, связанные с теоремой разложения	19
Приемы упрощения функций	20
Мультиплексные функции	21
Разложение Рида	21
Линейные функции	22
1.6. Решение систем логических уравнений	23
Системы логических уравнений с одним неизвестным	23
Алгебраическое представление логических уравнений	25
Системы логических уравнений с более чем одним неизвестным	26
Приложения систем логических уравнений	28
Функции возбуждения триггеров	32
1.7. Первичные термы, минтермы и макстермы	33
Первичные термы	33
Минтермы	33
Макстермы	34
Дешифраторы и детекторы состояния	35
1.8. Совершенные нормальные формы представления функций	36
Совершенная дизъюнктивная нормальная форма	36
Совершенная конъюнктивная нормальная форма	37
Совершенные нормальные формы в базисах И–НЕ и ИЛИ–НЕ	38
Полиномиальное представление функций	38
Линейные функции	39
1.9. Конъюнктивные и дизъюнктивные термы	40
Конъюнктивные термы	40
Дизъюнктивные термы	41
1.10. Минимизация переключательных функций	42
Критерий минимизации	42
Соседние минтермы	42
Основной принцип минимизации	42
Минимальная дизъюнктивная нормальная форма функций	43
Минимальная нормальная форма функций в базисе И–НЕ	44
Минимальная конъюнктивная нормальная форма функций	45
Минимальная нормальная форма функций в базисе ИЛИ–НЕ	45
1.11. Диаграммы Вейча	46
Диаграммы Вейча для функций двух переменных	46
Диаграммы Вейча для функций трех переменных	47
Основные определения	48
Диаграммы Вейча для функций четырех переменных	49
Правила минимизации функций	50
Диаграммы Вейча для функций пяти переменных	51
Диаграммы Вейча для функций шести переменных	52
Диаграммы Вейча для функций семи переменных	52
Диаграммы Вейча для функций восьми переменных	52
1.12. Синтез комбинационных схем	54
Логические элементы	54
Триггеры Шмитта	56
Комбинационные и последовательностные схемы	56
Синтез КС с представлением функций нормальными формами	57
Минимизация неполностью определенных функций	58
Совместная минимизация нескольких функций	60

Синтез двоичного сумматора с последовательным переносом	60
Моделирование логических схем	62
Синтез двухразрядного двоичного сумматора с параллельным переносом	63
Синтез 4-разрядного двоичного сумматора с параллельным переносом	66
Логические элементы с тремя состояниями выхода	69
Шинные драйверы с Z-состоянием выхода	71
Шинные приемопередатчики с Z-состоянием выхода	72
Классификация выходных каскадов ЛЭ	74
Логические элементы с открытым коллекторным выходом	75
Технологии интегральных схем	76
Маркировка ИС фирмы Texas Instruments Incorporated	79
1.13. Скобочные формы функций	80
Порядок функций и комбинационных схем	80
Синтез комбинационных схем на мажоритарных элементах	81
1.14. Закон двойственности для логических схем	85
Классификация логических схем	85
Активные уровни сигналов	85
Закон двойственности для логических схем	86
1.15. Типовые комбинационные схемы	88
Дешифраторы	88
Демультимплексоры	92
Каскадирование демультимплексоров	95
Классификация цифровых автоматов	96
Примеры применения демультимплексоров	99
Мультимплексоры	102
Каскадирование мультимплексоров	105
Примеры применения мультимплексоров	108
Комбинационные сдвигающие устройства	112
Шифраторы	118
Приоритетные шифраторы	120
Каскадирование приоритетных шифраторов	124
Примеры применения приоритетных шифраторов	129
Приоритетные шифраторы с циклическим сдвигом приоритетов	130

Глава 2. Синтез комбинационных схем

2.1. Арифметические комбинационные схемы	141
Цифровые компараторы	141
Схемы сравнения чисел	143
Схемы сравнения двоичных чисел, представленных в дополнительном коде	145
Адресные компараторы	150
Десятичные сумматоры	155
Двухтактные десятичные сумматоры	157
Двоичные/десятичные сумматоры	159
Арифметическо-логические устройства	163
Каскадирование АЛУ	174
Умножители двоичных чисел	180
Матричный умножитель двоичных чисел	181
Быстрые умножители двоичных чисел	183
Быстрый умножитель с сумматором частичных произведений	197
2.2. Конвейерные цифровые устройства	200
Принцип построения конвейерных цифровых устройств	200
Конвейерные быстрые умножители двоичных чисел	203
2.3. Преобразователи кодов	209
Преобразователи двоично-десятичных чисел в двоичные	209
Конвейерные преобразователи двоично-десятичных чисел в двоичные	219
Преобразователи дробных двоичных чисел в дробные BCD-числа	221
Преобразователи двоичных чисел в двоично-десятичные	226
Конвейерные преобразователи двоичных чисел в BCD-числа	234
Преобразователи дробных BCD-чисел в дробные двоичные числа	237
Конвейерный преобразователь дробных BCD-чисел в дробные двоичные числа	241
Конверторы знака дополнительного кода двоичных чисел	242
2.4. Взаимные преобразования двоичного и рефлексного кодов	245
Преобразование двоичного кода в рефлексный код	245
Преобразователи двоичных чисел в коды Грея	249
Преобразователи рефлексных кодов в двоичные числа	254
Кодирование и декодирование данных с помощью рефлексных кодов	254
Последовательные преобразователи рефлексных кодов в двоичные числа	256

Последовательный преобразователь двоичных чисел в рефлексные коды	256
2.5. Синтез линейных комбинационных схем	258
Основные определения	258
Поля Галуа GF(q)	258
Синтез универсального сумматора по модулю q	260
Синтез универсального умножителя по модулю q	263
Синтез быстродействующего сумматора и универсального умножителя по модулю 3	266
Синтез быстродействующего сумматора и универсального умножителя по модулю 5	269
Синтез быстродействующего сумматора и универсального умножителя по модулю 7	273
2.6. Синтез линейных автоматов	275
Линейные автоматы	275
Линейные автоматы над полем GF(2)	275
Кольцевые счетчики и счетчики Джонсона над полем GF(2)	279
Линейные автоматы над полем GF(3)	281
Линейные автоматы над полем GF(5)	285
Линейные автоматы над полем GF(7)	289
Полиномы над полем GF(q)	294
Умножение полиномов над полем GF(q)	296
Деление полиномов над полем GF(q)	302
Умножение и деление полиномов	325
Обнаружение ошибок в последовательных каналах связи	329
2.7. Устройства обнаружения и исправления ошибок	334
Принцип обнаружения однократных ошибок	334
Обнаружение ошибок в оперативных запоминающих устройствах	338
Обнаружение и исправление ошибок в оперативных запоминающих устройствах	344
EDAC с 16-разрядной шиной данных	348
Параллельный канал связи с исправлением однократных и обнаружением двукратных ошибок	353

Глава 3. Анализ и синтез логических схем

3.1. Потенциальные и импульсные сигналы	355
Классификация сигналов	355
Операторы переходов	355
Операторные тождества	356
Генерация импульсных сигналов	358
3.2. Модели логических элементов	359
Статическая модель	359
Динамическая модель	359
Динамическая модель с переменной задержкой	359
Динамическая модель с виртуальной задержкой	359
Состязания логических элементов	360
3.3. Модели логических схем	361
Динамическая модель логических схем	361
Статическая модель логических схем	363
Определение комбинационных схем	363
3.4. Анализ логических схем	364
Таблицы переходов логических схем	364
Графы переходов логических схем	364
Порядок КС с обратными связями	366
Анализ последовательностных схем	368
Выводы	373
3.5. Синтез комбинационных схем, свободных от состязаний	375
Принцип построения комбинационных схем, свободных от состязаний	375
Синтез комбинационных схем, свободных от состязаний	377

Глава 4. Синтез асинхронных потенциальных автоматов

4.1. Основная модель цифровых автоматов	379
Классификация цифровых автоматов	379
Основная модель асинхронного потенциального автомата	380
Основные определения	381
4.2. Асинхронные потенциальные автоматы	383
Особенности переходных процессов в асинхронных потенциальных автоматах	383
Состязания элементов памяти	385
Шесть условий синтеза асинхронных потенциальных автоматов	386
4.3. Асинхронные потенциальные триггеры и элементы памяти	388
Асинхронные потенциальные триггеры	388
Триггеры типа R-S	389
Синтез R-S-триггеров	389
Триггеры типа D-L	392

Синтез D–L-триггеров на АПЭЗ	392
Анализ логических схем D–L-триггеров	395
Синтез цифровых автоматов на R–S-триггерах	398
Синтез D–L-триггеров на АПТ типа R–S	399
Свойства D–L-триггеров	400
Триггеры типа D–L–R с приоритетом входа R	400
Триггеры типа D–L–R с приоритетом входа L	403
Триггеры типа R–S с приоритетом входа S	405
Триггеры типа D–L–R–S с приоритетом входов S и R	406
Триггеры типа R–S–L	409
Триггеры типа DN–LN	410
Аналитический метод синтеза и анализа асинхронных потенциальных триггеров	411
Примеры асинхронных потенциальных триггеров	415
4.4. Задание асинхронных потенциальных автоматов таблицами и графами переходов	421
Таблицы переходов	421
Графы переходов	424
Первоначальные таблицы переходов	424
4.5. Синтез асинхронных потенциальных счетчиков	425
Асинхронные потенциальные счетчики	425
Синтез счетчика по модулю 3	425
Синтез реверсивного счетчика	426
4.6. Синтез асинхронных импульсных триггеров	430
Триггеры типа dT	430
Построение dT-триггера на двух разностных элементах	432
Синтез dT-триггера на двух асинхронных потенциальных элементах задержки	434
Синтез dT-триггера на двух асинхронных потенциальных R–S-триггерах	437
Синтез dT-триггера на трех асинхронных потенциальных элементах памяти	438
Анализ схемы dT-триггера, синтезированной на трех АПЭЗ	444
Триггеры типа dJ–dK	444
Построение dJ–dK-триггера на двух разностных элементах	448
Синтез dJ–dK-триггера на двух АПЭЗ	448
Анализ схемы dJ–dK-триггера, синтезированной на двух АПЭЗ	452
Синтез dJ–dK-триггера на двух асинхронных потенциальных R–S-триггерах	452
Синтез dJ–dK-триггера на трех АПЭП	453
Пример применения dJ–dK-триггеров	459
Триггеры типа JdG–KdH	459
Построение JdG–KdH-триггера на двух разностных элементах	460
Синтез JdG–KdH-триггера на двух АПЭЗ	462
Синтез JdG–KdH-триггера на двух асинхронных потенциальных R–S-триггерах	466
Синтез JdG–KdH-триггера на трех АПЭП	468
Триггеры типа TNdGN	478
Примеры применения триггеров типа T2dG2	479
Триггеры типа JNdGN–KMdHM	482
Пример применения триггеров типа J2dG2–K2dH2	483
Классификация триггеров	483
4.7. Синтез синхронных триггеров	484
Триггеры типа D	484
Построение D-триггера на двух разностных элементах	486
Синтез D-триггера на двух АПЭЗ	486
Анализ D-триггера, синтезированного на двух АПЭЗ	491
Синтез D-триггера на двух асинхронных потенциальных R–S-триггерах	491
Примеры построения синхронных цифровых устройств на D-триггерах	492
Замечания по синтезу цифровых автоматов	493
Синтез на синхронном D-триггере асинхронных импульсных триггеров	495
Примеры построения асинхронных импульсных автоматов	496
Триггеры типа T	498
Построение T-триггера на двух разностных элементах	499
Синтез T-триггера на двух АПЭЗ	500
Синтез T-триггера на двух АПТ типа R–S	502
Синтез T-триггера на трех АПЭП	503
Триггеры типа J–K	510
Построение J–K-триггера на двух разностных элементах	511
Синтез J–K-триггера на двух АПЭЗ	512
Синтез J–K-триггера на двух асинхронных потенциальных R–S-триггерах	515
Синтез J–K-триггера на трех АПЭП	516
Синхронно-асинхронные триггеры	523

Принцип построения функций переходов синхронно-асинхронных триггеров	524
Преобразование D/R–S-триггера в J–K/R–S-триггер	525
Синхронные J–K-триггеры с двумя элементами задержки	526
Триггер типа dJ–dK с двумя элементами задержки	529
4.8. Примеры синтеза асинхронных потенциальных автоматов	530
Бинарный квантизатор сигналов	530
Цифровые фазочастотные детекторы	530
Квантизатор временных интервалов	534
4.9. Генераторы сигналов	536
Автогенераторы	536
Управляемые автогенераторы	536
Двухфазные автогенераторы	537
Глава 5. Синтез синхронных автоматов	
5.1. Основная модель синхронного автомата	539
Переходные процессы в синхронных автоматах	539
Выделение точных значений выходных сигналов	542
Автономные автоматы	543
5.2. Синхронные триггеры и регистры памяти	544
Методика синтеза синхронных триггеров	544
Методика синтеза синхронно-асинхронных триггеров	544
Триггеры типа R–S/R–S	545
Триггеры типа Rp–S/R–S	547
Триггеры типа J–K/R–S	548
Триггеры типа T/R–S	548
Триггеры типа D–L/R–S	549
Триггеры типа D/D–L	549
Триггеры типа D/L	549
Триггеры типа T/D–L	550
Триггеры типа T/D–L–Rp	550
Триггеры типа T/D–Lp–R	551
Триггеры типа D–T–L/R–S	551
Триггеры типа D–T–L–Rp/R–S	551
Триггеры типа D–T–L–Rp/D–L–Rp	553
Триггеры типа D–T–L–Rp/D–Lp–R	553
Аналитические преобразования функций переходов синхронно-асинхронных триггеров	553
Методика синтеза синхронных автоматов на J–K-триггерах	556
Синтез последовательной схемы сравнения двоичных чисел	557
Методика синтеза синхронных автоматов на T-триггерах	559
Синтез D–T–L/R–S-триггера на J–K/R–S-триггере ‘109	560
Синхронные регистры памяти	561
Приемопередатчики с регистрами памяти	569
Параллельно-последовательный умножитель двоичных чисел	573
5.3. Сдвигающие регистры	574
Сдвигающие регистры типа SI/SO	574
Сдвигающие регистры типа SI/PO	574
Синтез последовательного двоичного сумматора	574
Сдвигающие регистры типа PI/SO	578
Сдвигающие регистры типа PI/PO	580
Примеры сдвигающих регистров типов SI/SO и SI/PO	581
Примеры сдвигающих регистров типов PI/SO и PI/PO	584
Графы переходов сдвигающих регистров	585
Синтез счетчиков на сдвигающих регистрах	586
Реверсивные сдвигающие регистры	589
Примеры реверсивных сдвигающих регистров типа PI/PO	591
5.4. Синхронные счетчики	594
Счетчики по mod 2	594
Счетчики с произвольным кодированием внутренних состояний	594
Двоичные счетчики	597
Двоично-десятичные счетчики	601
Каскадирование двоичных и двоично-десятичных счетчиков	602
Двоичные счетчики с последовательным переносом	604
Двоичные счетчики с параллельным переносом	607
Каскадирование двоичных и двоично-десятичных счетчиков	609
Двоичные счетчики с синхронной загрузкой данных	611
Программирование модуля пересчета счетчиков с загрузкой данных	612
Примеры двоичных и двоично-десятичных счетчиков	614

Двоичные реверсивные счетчики	622
Двоично-десятичные реверсивные счетчики	626
Каскадирование реверсивных счетчиков	628
Двоичные реверсивные счетчики с синхронной загрузкой данных	631
Примеры реверсивных счетчиков	631
Программирование модуля пересчета реверсивных счетчиков	641
Синтез счетчиков на сдвигающих регистрах	644
Счетчики Джонсона	645
Генераторы кодов Баркера	651
Кольцевые счетчики	656
Линейные счетчики	658
5.5. Примеры цифровых устройств	664
Параллельно-последовательный делитель двоичных чисел	664
Устройство целочисленного деления двоичных чисел	666
Устройство деления двоичных дробей в дополнительном коде	669
Устройство извлечения квадратного корня из двоичных дробей	673
Программируемый вычитающий двоичный/десятичный счетчик	676
Программируемые вычитающие счетчики с симметричным выходом	678
Цифровые автоколебательные мультивибраторы	682
Цифровые ждущие мультивибраторы	687
Десятичный счет в коде 5–4–2–1	689
Счетчики с переключаемыми модулями пересчета	692
Цифровые фазовращатели	698
Имитатор сигналов, отраженных от движущихся целей	699
Цифровые синтезаторы частот на основе цифровых фазовращателей	700
Синтезаторы частот на основе фазовой автоподстройки частоты (ФАПЧ)	702
Устройства управления семисегментными индикаторами	706
Статические оперативные запоминающие устройства	717
Память типа FIFO	7

Глава 6. Синтез асинхронных импульсных автоматов

6.1. Основные операторные тождества	743
Операторные тождества для оператора перехода d	743
Разложение операторных функций по константе	744
Операторные тождества для оператора перехода ∇	746
Полезные операторные тождества	746
6.2. Преобразование асинхронных потенциальных автоматов в асинхронные импульсные автоматы	748
Преобразование функций переходов асинхронных потенциальных автоматов	748
Сокращение числа элементов памяти асинхронных импульсных автоматов	750
6.3. Асинхронные импульсные триггеры	753
Функции переходов импульсных автоматов	753
Асинхронные импульсные триггеры типов TdG и JdG–KdH	753
Синтез импульсных автоматов на триггерах типов TdG и JdG–KdH	754
Асинхронные импульсные триггеры типа SdG–RdH	757
6.4. Структурный синтез асинхронных импульсных автоматов	758
Методика структурного синтеза импульсных автоматов	758
Оценка минимального числа триггеров в импульсном автомате	761
Оценка числа сокращаемых элементов памяти	763
6.5. Примеры асинхронных импульсных автоматов	765
Квантизатор временны́х интервалов	765
Схема временной привязки	766
Асинхронный импульсный счетчик по mod 5	770
6.6. Преобразование синхронных автоматов в асинхронные импульсные автоматы	772
Асинхронный импульсный десятичный счетчик со счетом в коде 5–4–2–1	772
Асинхронный импульсный двоичный счетчик	772
Асинхронный импульсный двоичный реверсивный счетчик	774

Приложение 1. Прямой, обратный и дополнительный коды

Прямой код	775
Обратный код	775
Дополнительный код	775
Формирователь сигнала переполнения	779
Сложение чисел в обратном коде	780
Код с избытком 3	782
Прямой и дополнительный коды с избытком 3	784
Дополнительные коды с избытком 1 и с избытком 5	788

Приложение 2. Указатель интегральных схем

Таблица ПЗ.1. Интегральные схемы фирмы Texas Instruments	789
--	-----

Таблица ПЗ.2. Интегральные схемы разных фирм	794
Приложение 3. Проектирование цифровых устройств на БИС Altera	795
Раздел ПЗ.1. Руководство пользователя	795
Система проектирования Altera MAX+plus II	795
Установка лицензионного файла	795
Запуск MAX+plus II	795
Краткое описание программного обеспечения Max+Plus II	796
Меню работы с проектом	799
Работа в графическом редакторе	799
Компилятор	804
Построение временных диаграмм	806
Моделирование	808
Временной анализатор	808
Представление результата проектирования в виде макета готовой микросхемы	809
Работа в текстовом редакторе	811
Особенности работы программного пакета Altera	821
Дальнейшая модернизация пакета MAX+plus II. Пакет Quartus II	822
Раздел ПЗ.2. Справочные сведения	823
Элементы библиотеки Prim	823
Примеры проектирования цифровых устройств на элементах библиотеки Prim	826
Элементы библиотеки MF	828
Элементы библиотеки EDIF	834
Элементы библиотеки mega_LPM	837
Примеры проектирования цифровых устройств	857
Символьный редактор	863
Принятые сокращения	870
Список литературы	871
Предметный указатель	873
